В11 QUARTUS II

СОЗДАНИЕ ПРОСТЕЙШИХ ЦИФРОВЫХ СХЕМ

Исполнители: Балан К. А., Орехва В. Э.

Группа: РЦТ-22.

**Цель работы:** познакомиться с некоторыми возможностями системы автоматизированного проектирования Quartus II, основами языка описания аппаратуры Verilog HDL.

### Вариант работы

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **Входы** | | | **Входы** | | | |
| ***1*** | | ***19*** | |
| **a** | **b[0]** | **b[1]** | ***c[1]*** | ***c[0]*** | ***u[1]*** | ***u[0]*** |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 |

### Решение карт Карно

c[1] = ¬b[0] ∧ b[1]

c[0] = (¬b[0] ∧ a) ∨ (¬a ∧ b[0]) ∨ (b[0] ∧ ¬b[1])

u[1] = (¬b[0] ∧ ¬b[1]) ∨ (¬a ∧ ¬b[0]) ∨ (a ∧ b[0] ∧ b[1])

u[0] = (¬b[0] ∧ ¬b[1]) ∨ (¬a ∧ b[0]) ∨ (b[0] ∧ ¬b[1])

### Модуль lab11\_sch — КЦУ, описанное схемой

|  |  |
| --- | --- |
| Схема  *Безымянный* | RTL-схема |
| Временная диаграмма | |

### Модуль lab11\_hdl — КЦУ, описанное на Verilog HDL

|  |  |
| --- | --- |
| Описание на Verilog | RTL-схема  *C:\Users\Кирилл\AppData\Local\Microsoft\Windows\INetCache\Content.Word\Безымянный.png* |
| Временная диаграмма | |

### ЗАКЛЮЧЕНИЕ

1) Ознакомились с программой Altera Quartus 15.0.

2) Разработали устройство согласно выданному техническому заданию.

3) Разработали схему устройства в графическом дизайне Quartus II.

4) Разработали описание устройства на языке Verilog HDL в Quartus II.

5) Рассмотрели работу устройства в симуляторе Quartus II.